

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-307192

(43)Date of publication of application : 19.11.1993

(51)Int.Cl.

G02F 1/136
G01R 13/02
G02F 1/13
G02F 1/133
G02F 1/1345

(21)Application number : 04-110525

(22)Date of filing : 28.04.1992

(71)Applicant : SHARP CORP

(72)Inventor : KONDO NAOFUMI
KATAYAMA MIKIO
TACHIBANA MAKOTO
MARUMOTO EIJI
KANAMORI KEN
MIYANOCHI MAKOTO

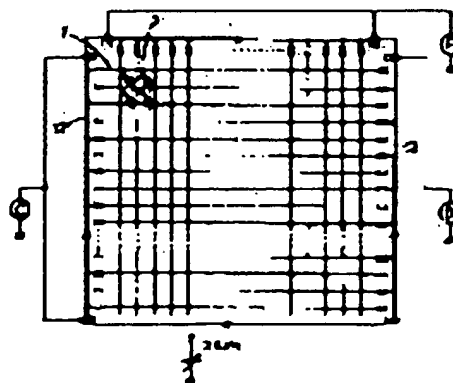
(54) METHOD FOR INSPECTING ACTIVE MATRIX SUBSTRATE AND DEVICE THEREFOR

(57)Abstract:

PURPOSE: To detect a TFT defect of an active matrix substrate used for a Cs on Gate-structure panel, before a gate driver IC to perform actual driving is mounted.

CONSTITUTION: All odd-numbered TFTs from the upper place on gate bus lines 1 are short-circuited by a short ring 12 and all even-numbered TFTs are short-circuited by a short ring 13; and a pixel write signal is applied at shifted timing at every the short rings 12 and 13 so that no signal is simultaneously applied to gate bus lines 1 on both sides with a pixel electrode 4 positioned between the bus lines, so a potential difference is generated between the TFTs 3.

Consequently, the TFTs 3 are driven even in the absence of the gate driver IC which performs the actual driving.



LEGAL STATUS

[Date of request for examination] 26.01.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2758105

[Date of registration] 13.03.1998

[Number of appeal against examiner's decision of

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-307192

(43)公開日 平成5年(1993)11月19日

(51)IntCl ³	識別記号	庁内整理番号	FI	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
G 0 1 R 13/02		8203-2G		
G 0 2 F 1/13	1 0 1	7348-2K		
1/133	5 5 0	7820-2K		
1/1345		9018-2K		

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号 特願平4-110525

(22)出願日 平成4年(1992)4月28日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 近藤 直文

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 片山 幹雄

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 橘 誠

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 弁理士 山本 秀策

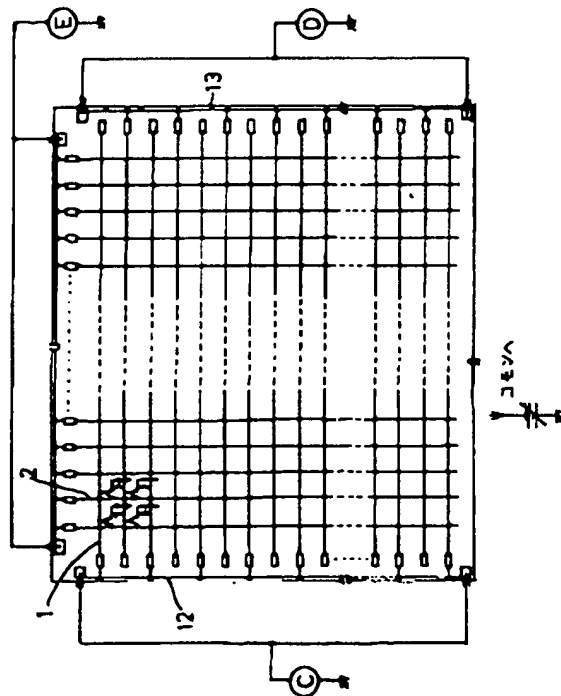
最終頁に続く

(54)【発明の名称】 アクティブマトリクス基板の検査方法及び検査装置

(57)【要約】

【目的】 Cs on Gate構造パネルに使用されるアクティブマトリクス基板におけるTFT欠陥を、実際の駆動を行うゲートドライバーICを実装する前に検出できるようにする。

【構成】 ゲートバスライン1の上から奇数番目のものの総てをショートリング12で短絡させると共に、偶数番目のものの総てをショートリング13で短絡させ、検査電極4を挟む両側のゲートバスライン1に同時に検査書き込み信号が与えられないように、ショートリング12、13毎にタイミングをずらして印加するので、TFT3に電位差が生じる。これにより、実際の駆動を行うゲートドライバーICが存在しない状態でも、TFT3を駆動させることが可能となる。



(2)

特開平5-307192

【特許請求の範囲】

【請求項1】 絶縁性基板上に複数の走査線及び信号線が交差する状態で縦横に配線され、該走査線と該信号線とで囲まれた領域に絵素電極が形成されていると共に、該走査線と該信号線との交差部近傍に該絵素電極を駆動するスイッチング素子が配置されており、該絵素電極に接続すると共に、該絵素電極を挟む2つの走査線のうちの該スイッチング素子を介して接続されていない走査線に接続して付加容量が設けられたアクティブマトリクス基板の検査方法であって、

該絵素電極に対して間に液晶層を介装し対向電極を対向配設すると共に、該走査線の1本おき又は複数本おきに、該当する走査線同士を2以上のショートリングにより短絡させる工程と、

該ショートリングを介して走査線に与える絵素書き込み信号を、該絵素電極を挟む両側の走査線に同時に絵素書き込み信号が与えられないようショートリング毎にタイミングをずらして印加する工程と、

を行うアクティブマトリクス基板の検査方法。

【請求項2】 絶縁性基板上に複数の走査線及び信号線が交差する状態で縦横に配線され、該走査線と該信号線とで囲まれた領域に絵素電極が形成されていると共に、該走査線と該信号線との交差部近傍に該絵素電極を駆動するスイッチング素子が配置されており、該絵素電極に接続すると共に、該絵素電極を挟む2つの走査線のうちの該スイッチング素子を介して接続されていない走査線に接続して付加容量が設けられたアクティブマトリクス基板の検査方法であって、

該絵素電極に対し間に液晶層を挟んで対向配設される対向電極と、該液晶層とが設けられていると共に、該走査線の1本おき又は複数本おきに、該当する走査線同士を短絡させる2以上のショートリングが形成された検査治具と、

該検査治具の該ショートリングを介して走査線に与える絵素書き込み信号を、該絵素電極を挟む両側の走査線に同時に絵素書き込み信号が与えられないようショートリング毎にタイミングをずらして印加する手段と、を備えたアクティブマトリクス基板の検査装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶等の表示媒体と組み合わせて使用され、表示装置を構成するアクティブマトリクス基板の検査方法及び検査装置に関する。

【0002】

【従来の技術】 上記表示装置として、絶縁性基板上に絵素電極をマトリクス状に配し、絵素電極を独立して駆動するアクティブマトリクス駆動方式が知られている。このアクティブマトリクス駆動方式は、液晶などを用いた表示装置、例えば液晶テレビジョン、ワードプロセッサ、コンピュータの端末表示装置等に実用化されてい

る。また、絵素電極を選択駆動するスイッチング素子としては、TFT（薄膜トランジスタ）素子、MIM（金属-絶縁層-金属）素子、MOSトランジスタ素子、ダイオード、バリスタ等が一般に知られている。

【0003】 図7にTFTをスイッチング素子として用いたアクティブマトリクス表示装置の概略の回路図を示す。この表示装置は、図示しない液晶層を挟んでアクティブマトリクス基板と対向基板とを有する。アクティブマトリクス基板は、走査線として機能するゲートバスライン1が多数平行に配線されていると共に、信号線として機能するソースバスライン2が該ゲートバスライン1に直交して複数本配線されており、両ライン1、2の交差する部分の近傍にはTFT3が配設され、このTFT3には絵素電極4が接続されている。絵素電極4は、この図示例では上側のものから下側ものに駆動信号が与えられるようになっており、絵素電極4は付加容量（Cs）6の一方の電極を構成し、付加容量6の他方の電極は次に駆動される絵素電極14が接続された走査線7に接続されている。

【0004】 上記アクティブマトリクス基板に、上述した液晶層を挟むように対向基板を対向配設すると、対向基板に形成した対向電極5と、アクティブマトリクス基板側の絵素電極4との間に絵素容量が形成される。

【0005】 このように構成されたアクティブマトリクス表示装置は、絵素容量以外に付加容量（Cs）を有するため、Cs on Gate構造パネルと称される。この構造パネルにおいて、走査線・信号線の断線、走査線と信号線のショート、絵素を駆動するための薄膜トランジスタの特性不良による絵素欠陥等の欠陥検査は、従来、直流駆動検査が用いられている。この直流駆動検査は、図7に示すように、対向電極5をアース9に接地すると共に、ゲートバスライン1の全数もしくは一部分に、例えば約-15V～+15Vの直流電圧10を可変させる状態で、ソースバスライン2の全数もしくは一部分に矩形波の検査信号8を印加することにより行っている。矩形波の検査信号8としては、例えば振幅が約±1V～±8V、周期が約10μsec～30msecのものを使用している。

【0006】

【発明が解決しようとする課題】 しかし、Cs on Gate構造のパネルの場合、付加容量6の一方が絵素電極4やTFTのドレイン電極に接続され、付加容量6の他方が次の駆動信号が与えられるゲートバスライン7に接続されているため、ゲートバスライン1を介してTFT3をONするためのプラスの直流電圧を印加しても、次のゲートバスライン7側の付加容量6の電位も同じようにプラスになるため、付加容量6の両側の電位が等しくなってTFT3を完全にONにすることができない。従って、ソースバスライン2及びゲートバスライン1における断線検査や、ソースバスライン2とゲートバ

(3)

特開平5-307192

スライン1との間でのショート欠陥の検査を行うことはできるものの、上述したようにTFT3を完全にONにすることができないため、TFTの特性不良等による検査欠陥に対しては検査できず、この検査を行おうとすると実際の駆動を行うゲートドライバーICを実装するまで待たなければならなかった。

【0007】本発明は、このような問題点を解決するものであり、Cs on Gate構造パネルに使用されるアクティブマトリクス基板におけるTFT欠陥を、実際の駆動を行うゲートドライバーICを実装する前に検出できるアクティブマトリクス基板の検査方法及び検査装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明のアクティブマトリクス基板の検査方法は、絶縁性基板上に複数の走査線及び信号線が交差する状態で縦横に配線され、該走査線と該信号線とで囲まれた領域に検査電極が形成されていると共に、該走査線と該信号線との交差部近傍に該検査電極を駆動するスイッチング素子が配置されており、該検査電極に接続すると共に、該検査電極を挟む2つの走査線のうちの該スイッチング素子を介して接続されていない走査線に接続して付加容量が設けられたアクティブマトリクス基板の検査方法であって、該検査電極に対して間に液晶層を介装し対向電極を対向配設すると共に、該走査線の1本おき又は複数本おきに、該当する走査線同士を2以上のショートリングにより短絡させる工程と、該ショートリングを介して走査線に与える検査書き込み信号を、該検査電極を挟む両側の走査線に同時に検査書き込み信号が与えられないようショートリング毎にタイミングをずらして印加する工程と、を行うので、そのことにより上記目的が達成される。

【0009】本発明のアクティブマトリクス基板の検査装置は、絶縁性基板上に複数の走査線及び信号線が交差する状態で縦横に配線され、該走査線と該信号線とで囲まれた領域に検査電極が形成されていると共に、該走査線と該信号線との交差部近傍に該検査電極を駆動するスイッチング素子が配置されており、該検査電極に接続すると共に、該検査電極を挟む2つの走査線のうちの該スイッチング素子を介して接続されていない走査線に接続して付加容量が設けられたアクティブマトリクス基板の検査方法であって、該検査電極に対し間に液晶層を挟んで対向配設される対向電極と、該液晶層とが設けられていると共に、該走査線の1本おき又は複数本おきに、該当する走査線同士を短絡させる2以上のショートリングが形成された検査治具と、該検査治具の該ショートリングを介して走査線に与える検査書き込み信号を、該検査電極を挟む両側の走査線に同時に検査書き込み信号が与えられないようショートリング毎にタイミングをずらして印加する手段と、を備えており、そのことにより上記目的が達成される。

【0010】

【作用】本発明にあつては、該検査電極を挟む両側の走査線に同時に検査書き込み信号が与えられないように、ショートリング毎にタイミングをずらして印加するので、TFTに電位差が生じる。これにより、実際の駆動を行うゲートドライバーICが存在しない状態でも、TFTを駆動させることが可能となる。

【0011】

【実施例】本発明の実施例について以下に説明する。

【0012】図1に本発明に係るアクティブマトリクス基板の検査方法を適用するアクティブマトリクス基板を示す平面図であり、図2はそのアクティブマトリクス基板の一部を拡大して示す平面図である。このアクティブマトリクス基板は、走査線として機能するゲートバスライン1が多数平行に配線されていると共に、信号線として機能するソースバスライン2が該ゲートバスライン1に直交して複数本配線されており、両ライン1、2の交差する部分の近傍にはTFT3が配設されている。

【0013】このTFT3には検査電極4が接続されている。検査電極4は、この図示例では上側のものから下側ものに駆動信号が与えられるようになっており、検査電極4は付加容量6の一方の電極を構成し、付加容量6の他方の電極は次に駆動される検査電極14が接続されたゲートバスライン1に接続されている。

【0014】一方、このアクティブマトリクス基板を検査するための検査装置は、ゲートバスライン1の上から奇数番目に相当する総てのものに接続されるショートリング12および、ゲートバスライン1の上から偶数番目に相当する総てのものに接続されるショートリング13が形成された検査治具（図示せず）と、このショートリング12、13に検査信号を与える検査信号発生回路（図3参照）とを備え、更に検査治具には、ショートリング12、13の他に、液晶層と対向電極とが設けられている。

【0015】上記検査治具をアクティブマトリクス基板の上に載置して、液晶層を挟んで対向電極と検査電極とが対向するようにすると、対向する検査電極と対向電極との間で検査容量が形成される。また、その状態を保持したまま検査信号発生回路を作動させると、検査信号発生回路から信号C、DおよびEがそれぞれショートリング12、13およびソースバスライン2に供給される。

【0016】検査信号発生回路は、図3に示すように構成され、基準発振回路21と、この基準発振回路21から発振された信号を受ける分周回路22と、分周回路22にて分周された信号をそれぞれ入力するゲート波形発振回路23と、第2分周回路24と、ゲート波形発振回路23を入力する2つのバッファアンプ25、26と、第2分周回路24からの信号を入力するバッファアンプ27とから構成されている。

【0017】かかる検査信号発生回路において、基準発

(4)

特開平5-307192

5

振回路21は、図4(a)に示す矩形波で振動する信号を出力する。この信号を入力した分周回路22は、図4(b)に示すように周波数が小さくされた信号をゲート波形発振回路23および第2分周回路24に出力する。第2分周回路24は、更に入力信号の周波数を1/2にした信号をバッファアンプ27に与え、バッファアンプ27にて増幅された信号をソースバスライン2に出力する。一方、ゲート波形発振回路23は、分周回路22から入力した信号に基づいて2つの異なるタイミングでオンとなる信号を発生し、一方の信号をバッファアンプ25に、他方の信号をバッファアンプ26に出力する。バッファアンプ25は入力信号を増幅して、図4(c)に示す信号をショートリング12に出力し、バッファアンプ26は入力信号を増幅して、図4(d)に示す信号をショートリング13に出力する。

【0018】上述した本実施例の検査装置によるアクティブマトリクス基板の検査方法について説明する。まず、アクティブマトリクス基板の上に、予め液晶層、対向電極及びショートリング12、13が形成された検査治具を載置する。これにより、アクティブマトリクス基板の絵素電極と対向電極との間で絵素容量が形成され、かつ、ゲートバスライン1の上から奇数番目に相当する総てのものがショートリング12で短絡され、またゲートバスライン1の上から偶数番目に相当する総てのものがショートリング13で短絡される。なお、検査治具に設けた対向電極は、予め接地しておくか、或はアクティブマトリクス基板の上に載置した後に接地する。

【0019】次いで、そのショートリング12、13に検査信号発生回路から上述した異なるタイミングで検査用の絵素書き込み電圧C、Dを与える。このとき、絵素書き込み電圧C、Dは、絵素電極4を挟んで存在する上流側と下流側のゲートバスライン1の2つに与えられるタイミングが異なるため、TFT3の入出力端子間の電位に差が生じ、これによりTFT3が駆動される状態となる。なお、絵素書き込み電圧がオンとなる時間は、例えば15~100μsecが選ばれる。

【0020】したがって、本発明による場合は、このようなタイミングのゲート信号を印加するので、Cs on Gate構造のパネルのように、付加容量6の一方がTFT3のドレイン電極や絵素電極4に、他方が次のタイミングで信号が与えられるゲートバスライン1に接続された構成において、TFT3をONするためのプラスの絵素書き込み電圧を印加しても、次のタイミングで信号が与えられるゲートバスライン1側の付加容量6の電位は、実駆動の時と同様にマイナスの電位のままであるため、TFT3を完全にONすることができる。このため、ソースバスライン2やゲートバスライン1の断線、ソースバスライン2とゲートバスライン1とが短絡したショート欠陥を検出ができるだけでなく、TFT3の特性不良等による絵素欠陥も、実際の駆動を行うゲ-

6

ートドライバーICを実装するまでもなく検出することができる。

【0021】なお、上記実施例ではゲートバスライン1の奇数番目と偶数番目に分け、奇数番目の走査線の総てと偶数番目の走査線の総てとを2つのショートリングで短絡させるようにしているが、本発明はこれに限らず、ゲートバスラインの複数本おきにショートリングで短絡させると共に、残りのゲートバスラインについても同様に複数本おきにショートリングで短絡させる構成となし、隣合うゲートバスラインには同時に絵素書き込み電圧が印加されない状態で、各ショートリングに駆動信号を印加するようにしてもよい。

【0022】例えば、図5に示すように、ゲートバスライン1の総てを2本おきにショートリング31、32、33で短絡させると共に、各ショートリング31、32、33に図6に示す絵素書き込み電圧F、G、Hを印加し、信号Iをソースバスラインに印加するようにしてもよい。ショートリングを4本以上設ける場合も同様に行えばよい。

【0023】

【発明の効果】本発明による場合には、Cs on Gate構造のパネルにおいて、今まで実際の駆動を行うゲートドライバーICを実装するまで検出することができなかったTFTの特性不良等による絵素欠陥も検出できる。

【図面の簡単な説明】

【図1】本実施例の検査方法を適用するアクティブマトリクス表示装置を示す平面図である。

【図2】図1のアクティブマトリクス表示装置を拡大して示す平面図である。

【図3】本実施例の検査装置に備わった検査信号発生回路を示すブロック図である。

【図4】図3の検査信号発生回路の各位置における信号波形図である。

【図5】本発明の他の実施例に係るアクティブマトリクス基板の検査方法の説明図である。

【図6】図5のアクティブマトリクス基板の検査に用いる信号波形例を示す。

【図7】従来のアクティブマトリクス基板の検査状態を示す平面図である。

【図8】図7のアクティブマトリクス基板の検査に用いる信号波形例を示す。

【符号の説明】

- 1 ゲートバスライン
- 2 ソースバスライン
- 3 TFT
- 4 絵素電極
- 5 対向電極
- 6 付加容量
- 12 ショートリング

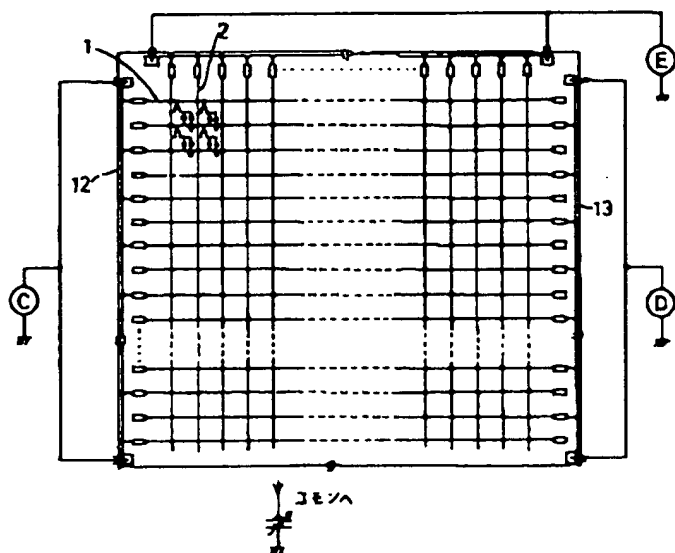
(5)

特開平5-307192

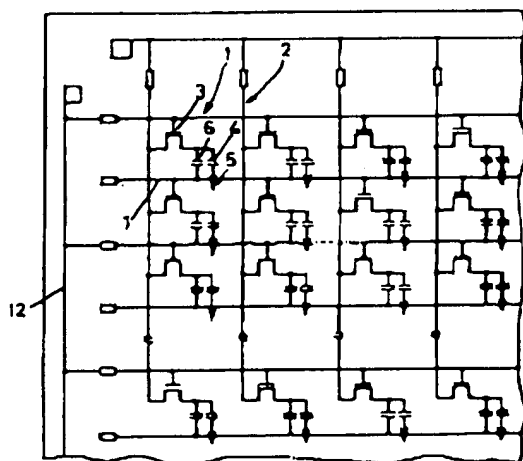
- 13 ショートリング
 21 基準発振回路
 22 分周回路
 23 ゲート波形発振回路
 24 第2分周回路
 25 バッファアンプ

- 26 バッファアンプ
 27 バッファアンプ
 31 ショートリング
 32 ショートリング
 33 ショートリング

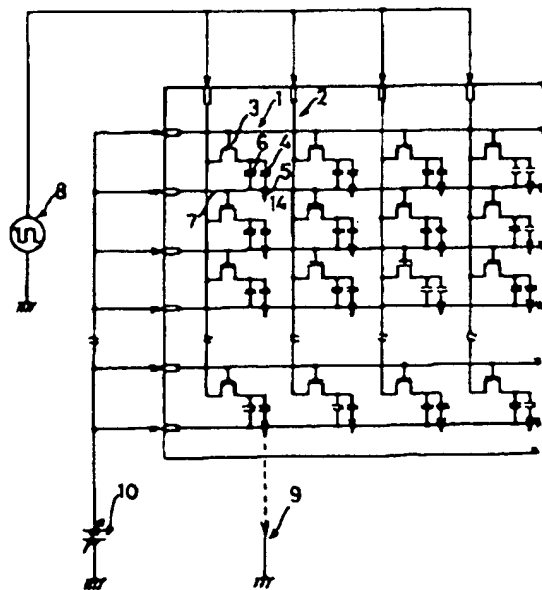
【図1】



【図2】



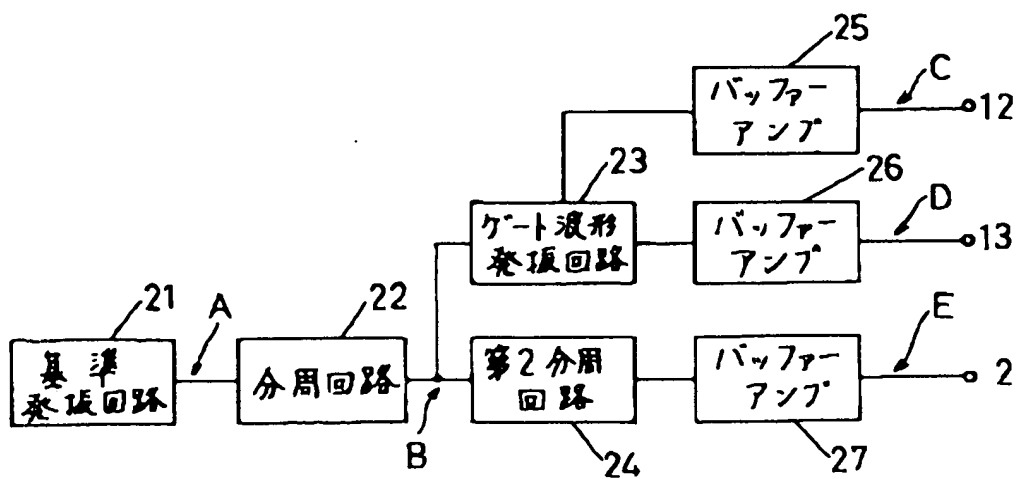
【図7】



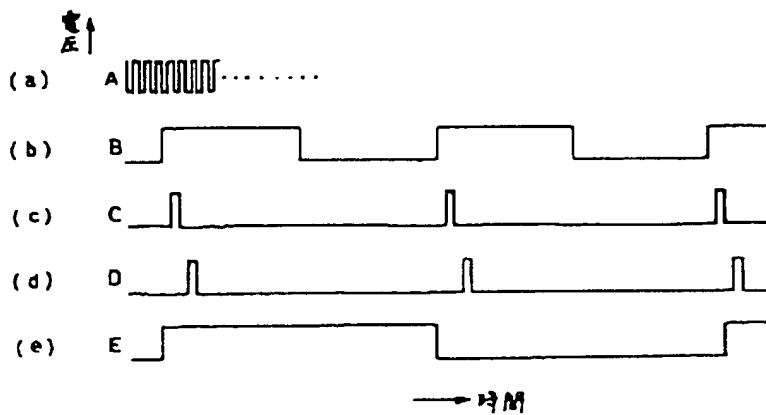
(6)

特開平5-307192

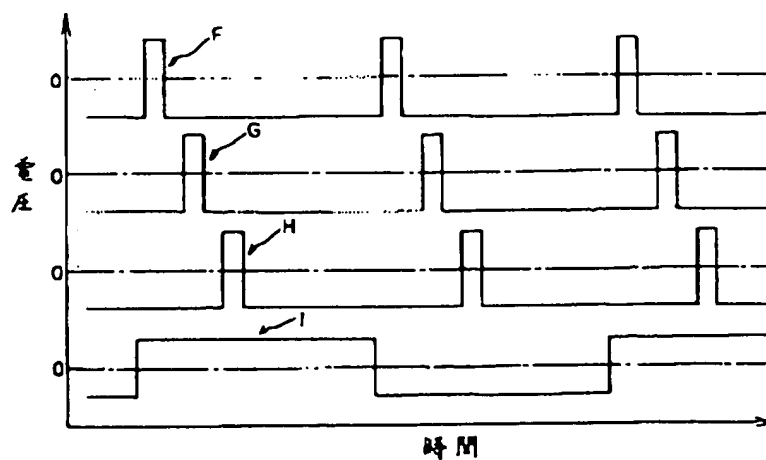
【図3】



【図4】



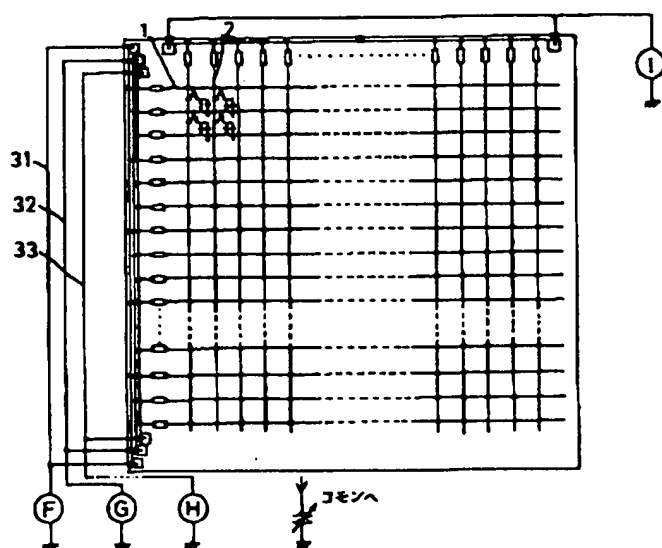
【図6】



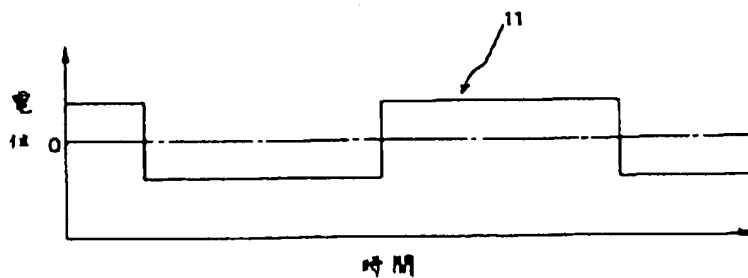
(7)

特開平5-307192

【図5】



【図8】



フロントページの続き

(72)発明者 丸本 英治
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 金森 謙
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(72)発明者 宮後 誠
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.